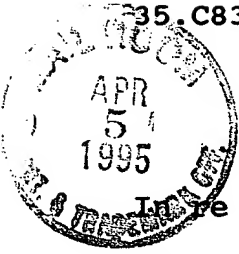


35.C8301 CI

PATENT APPLICATION



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

21
#22/Pat
5/31/01
Parker

Int'l Application of:

MASAKAZU MORISHITA

Serial No.: 08/250,942

Filed: May 31, 1994

For: SEMICONDUCTOR DEVICE

Examiner: S. Loke

Group Art Unit: 2508

April 4, 1995

The Honorable Commissioner of Patents
and Trademarks
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

Applicant hereby claims priority under the
International Convention and all rights to which he is
entitled under 35 U.S.C. § 119 based upon the following
Japanese Priority Applications:

3-52426 filed March 18, 1991

3-52429 filed March 18, 1991

Certified copies of the priority documents are
enclosed.

Applicant's undersigned attorney may be reached in our New York office by telephone at (212) 758-2400. All correspondence should continue to be directed to our below listed address.

Respectfully submitted,



Attorney for Applicant

Registration No. 29,245

FITZPATRICK, CELLA, HARPER & SCINTO
277 Park Avenue
New York, New York 10172
Facsimile: (212) 758-2982
A:8301(5)

CF0830/us/80

S.N. 08650.942

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1991年 3月18日

出 願 番 号

Application Number:

平成 3年特許願第052426号

出 願 人

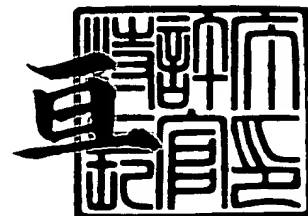
Applicant (s):

キヤノン株式会社

1992年 5月15日

特 許 庁 長 官
Commissioner,
Patent Office

深 沢



出証平 04-020120

【書類名】 特許願

【整理番号】 1999087

【提出日】 平成 3年 3月18日

【あて先】 特許庁長官 植松 敏 殿

【国際特許分類】 H01L 21/90

【発明の名称】 半導体装置

【請求項の数】 4

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【氏名】 森下 正和

【特許出願人】

【識別番号】 000001007

【郵便番号】 146

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キャノン株式会社

【代表者】 山路 敬三

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100069877

【郵便番号】 146

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【弁理士】

【氏名又は名称】 丸島 儀一

【電話番号】 03-3758-2111

【手数料の表示】

【納付方法】 予納

【予納台帳番号】 011224

【納付金額】 14,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003707

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 少なくとも、絶縁膜上に形成された第1の導電型で高不純物密度のソースとドレイン領域、ソースとドレインの間にあるチャンネル領域、該チャンネル領域を少なくともおおっている絶縁層、該絶縁層に近接しているゲート電極を有する半導体装置において、少なくとも、該チャンネル領域が絶縁層に近接した第1導電型と反対導電型の低抵抗の第2導電型の第1チャンネル領域と該チャンネル領域に隣接した高抵抗の第1導電型の第2チャンネル領域を有することを特徴とした半導体装置。

【請求項2】 該第2チャンネル領域に隣接した第2導電型の第3チャンネル領域を有する請求項1に記載の半導体装置。

【請求項3】 少なくともゲート印加電圧が零において、前記第2チャンネル領域が空乏化した請求項1又は2に記載の半導体装置。

【請求項4】 該第1チャンネル領域の厚みは走行キャリアの平均自由行程より厚くした請求項1、2又は3に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、絶縁膜上に形成されたMOSトランジスタを作成した半導体装置に関する。

【0002】

【従来の技術】

SOIに作成したMOSトランジスタ。

【0003】

従来のMOS型トランジスタの1つとして、エンハンスメント型のMOSトランジスタ（Tr）が知られている。

【0004】

【発明が解決しようとしている課題】

MOSトランジスタのキャリアの移動度が、本来半導体個有のキャリアの移動度より遅い。

【0005】

本来の移動度より遅い原因には、不純物によるイオン散乱（クーロン散乱）、絶縁物と半導体界面の境界の荒さによる散乱、表面に垂直電界を有するための分散散乱などがあげられる。そのためSOIでは超薄膜にすることにより、チャネルを空乏化することにより、分散散乱、不純物散乱を抑える試みはなされている。しかし、境界荒さの影響をおさえられないだけでなく、チャネル層を500Å以下に安定に作成することが技術的に困難を有す欠点を有している。

【0006】

【課題を解決するための手段（及び作用）】

本発明によれば、SOIにおけるデバイスにおいて、

1. クーロン散乱を除去するためにキャリア伝導領域のチャネルの不純物濃度を低下する。
2. キャリア伝導領域の垂直電界強度を下げ、且つ、キャリア伝導領域の幅を広げることにより、分散散乱を減少させる。
3. 絶縁ゲート膜と半導体界面の付近にキャリアを存在させず、界面荒さの影響をなくす。
4. チャネル領域は厚くすることにより、量産的に安定にする。且つ、SOIデバイスの特性は保持できるようにする（低寄生容量）。

【0007】

【実施例】

図1は本発明の特徴を最も良く表わすMOS型トランジスタの断面図を示している。

【0008】

領域1は絶縁物基板であり、石英ガラスや半導体基板上の絶縁層等である。

【0009】

領域2はチャネル領域の一部のP型領域であり、 $10^{14} \sim 10^{18} \text{ cm}^{-3}$ までよい。

【0010】

領域3は n^- 領域であり、 $1 \times 10^{17} \text{ cm}^{-3}$ より低い濃度にし、クーロン散乱によるキャリアの移動度の低下を防止する。

【0011】

領域4は領域3より不純物濃度を高くすることにより表面付近に反転キャリアがとじ込められないようにする。濃度は $10^{15} \sim 10^{19} \text{ cm}^{-3}$ の範囲である。

【0012】

領域5はMOSトランジスタのソースあるいはドレインとなる $10^{18} \sim 10^{21} \text{ cm}^{-3}$ 近傍の n^+ 領域とする。

【0013】

領域6はMOS、Trのゲート絶縁膜であり、 SiO_2 、 Si_3N_4 、 TiO_2 、 TaO_2 その他及び前記複合膜を用いる。

【0014】

領域7は、ゲート電極であり、 P^+ or n^+ ポリシコン、シリサイド、ポリサイド、高融点金属等を用いる。

【0015】

領域200は配線、層間等を分離する絶縁膜、領域100はソース、ドレインの電極、配線等であり、AL、AL-Si、銅、ポリSi、シリサイド等の材料を用いる。

【0016】

図2は図1のA-A'部の電位図を示す。

【0017】

図中で、20がキャリアである電子を模式的に表わしている。又、22はゲート膜、21は絶縁物基板であり、本発明で重要であるのは(1)キャリア電子がゲート膜22と半導体の界面から離れて走行すること、(2)キャリア20の走行領域のゲート表面に対して電界がゆるやかであること、(3)キャリアの走行

領域の不純物密度が低いことである。

【0018】

MOSトランジスタでは、ノーマリオフ型にした方が使いやすいので、その場合は、領域3の n^- 領域の厚み、濃度が重要となる。Pn接合のn型領域に拡がる空乏層厚みは

【0019】

【外1】

$$X_n = \sqrt{\frac{2 \epsilon_s}{q} \cdot \frac{N_A}{N_D} \cdot \frac{V_{bi}}{(N_A + N_D)}} \quad (1)$$

で表わされる。

【0020】

V_{bi} : 拡散電位、 N_A , N_D : P, n型不純物濃度、 ϵ_s : 半導体の誘電率、 q : 電荷

【0021】

領域2と4の不純物濃度を N_{A1} , N_{A2} とすると、一定の不純物濃度 N_A の領域3の厚みは、

$$x_n(N_D) \leq x_{n1}(N_D, N_{A1}) + x_{n2}(N_D, N_{A2}) \quad (2)$$

とする必要がある。但しこの式は ϕ_{ms} が零の場合で有、 ϕ_{ms} が有限のときは若干修正を受ける。

【0022】

表面の P^+ 高濃度領域(4)はSiでは50~100Å以上にする。少なくとも走行キャリアの平均自由行程以上の厚みにして、ゲート膜との界面で散乱する確率を小さくする必要がある。不純物濃度は、領域3より1桁程度以上にした方がよい。ゲート膜と半導体の界面まで空乏化していても、中性になっていてもよい。図2では空乏化している。ゲート電極に電圧を印加していった時、誘起キャリアが領域4に生成されてはならない。領域3に生成されなければならない。n型領域の場合は、禁制帯の中間よりフェルミレベルが上にあれば、自由キャリアを生成しはじめるので、容易に領域3に自由キャリアを生成できる。P型では、

反対導電型の電子を生成するためには、元々のフェルミレベル ϕ_F と反対の $-2\phi_F$ までもっていく必要がある。

【0023】

図3は、Siに対して、横軸温度(°K)、縦軸フェルミレベルの変化を示している。図中、n型、P型に対する不純物密度をパラメータとしている。領域3のn型領域では、 $\phi_F = E_F - E_i$ で表わされるフェルミレベルが、中間より上にあれば自由キャリアはMOS・トランジスタのソースから供給される。 $\phi_F = E_F - E_i$ が0.3V程度になると 10^{15} cm^{-3} 程度の自由キャリアが供給される。領域4の P^+ 領域に自由キャリアを生成するには例えば $P^+ = 10^{18} \text{ cm}^{-3}$ とすると $-2\phi_F$ にするには、+1.0V程度にしないと自由キャリアが生成できない。

【0024】

領域2のP領域は図2では、中性領域を有している如く示してあるが、絶縁物基板の界面まで、空乏層が達していてもかまわない。但し、そのときは、領域2と1の界面の界面準位の影響もデバイスのしきい値電圧に影響を与える。

【0025】

図4は、図1のA→A'方向断面の不純物分布の模式図である(実線41は理想階段状分布、破線42は実際の不純物分布)。表面の P^+ 、キャリア走行のn⁻領域、P領域が、 x_1 、 x_2 の深で境界を有し、空乏層厚みを x_d で示した。しきい値電圧は近似的に次のように示すことができる。まず表面の2領域の不純物の積分値 D_I をとり、

【0026】

【外2】

$$D_I = \int_0^{x_d} (N_1(x) - N_2(x)) dx \quad (3)$$

$$\Delta V_m = qD_I / C_1 \quad (\text{但し } C_1 = \epsilon_s / x_d) \quad (4)$$

【0027】

(4) 式によって、しきい値電圧の変化分が近似的に求めることができる。但し、これは、空乏層厚み x_d が x_2 より深く、かつ、 P^+ の表面層が空乏化した場合である。最終的しきい値は

$$V_{th} = V_{th}(N_3) + \Delta V_{th} \quad (5)$$

と表わすことができる。領域2のP濃度 N_3 によって決まる $V_{th}(N_3)$ を ΔV_{th} だけシフトすることに近い。

【0028】

$\Delta V_{th} = 0$ とすることは容易で、 $D_I = 0$ とするように、 N_1 、 N_2 、 x_1 、 x_2 を設定することでできる。そのときは基板の濃度によって V_{th} を決めることができる。又、電極に使用した材料によって、半導体とのフェルミレベルの差 ϕ_{ms} が異なるが、それに応じて、しきい値制御も表面の P^+ の濃度厚みの制御によって、式(4)を使って容易に行うことができる。

【0029】

但し、上記は空乏層厚み x_d が、領域2と絶縁基板との界面まで到達していない場合であり、空乏層が下の界面まで到達した場合は、領域2、3、4全体の濃度、厚みによって決まる。

【0030】

図1の製造工程

(1) 石英ガラス基板(1)上に凹部を設け、凹部にSentaxy法によりP型単結晶を作成後、選択研磨により凹内にSi領域を埋め込む(領域2は作り込まれている。)

(2) イオン注入法により、リン、ヒ素等のn型不純物を $1 \times 10^{11} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の範囲で半導体領域に打ち込み熱処理することにより領域3を作成。

(3) 熱酸化法により、ゲート酸化膜(領域6(50~1000Å))を作成後、イオン注入法で BF_3^+ イオンを、 $1 \times 10^{11} \sim 1 \times 10^{14} \text{ cm}^{-2}$ で、5K₁V~100K₁V程度の加速電圧で、表面近傍にのみ P^+ 領域(4)を作成する。

(4) ポリシリコンをLPCVD法で推積後、Bをイオン注入あるいは熱拡散でP型不純物を導入後、レジストを用いてパターンニングして、ゲート電極(7)を

作成する。

(5) ゲート電極(7)をマスクにして、イオン注入法により、リン、ヒ素等のn型不純物を $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度ドーズし、熱処理後、ソース、ドレインとなる n^+ 領域(5)を作成する。

(6) 層間絶縁膜となるシリコン酸化膜を堆積後、コンタクトの穴をパターニングであける。

【0031】

電極となるAl、Al-Si等の金属をスパッタ等の方法で堆積し、パターニングにより、電極、配線を形成する。

【0032】

(他の実施例)

図5は他の実施例である。

【0033】

領域3が下の界面まで達している。

【0034】

領域4と3の接合付近にキャリアをとじ込めることができるので、第1実施例と同様の動作となる。構造が簡単であるので、製造工程短くなる。ただし、ノーマリオフ型デバイスの場合、領域3の濃度、厚みは、式(1)で決まるようにしなければならない。領域4から延びる空乏層で、ゲート零バイアス時、下の界面まで達している必要がある。

【0035】

図6は他の実施例である。

【0036】

絶縁基板中に第2のゲート電極50と第2のゲート膜40を有したダブルゲート構造である。

【0037】

本発明は、n型MOSトランジスタについて記述したが、P型MOSトランジスタに適用できるのは当然である。その場合、本発明の実施例において、n型とP型すべていれかわる。

【0038】

又、Si材料について述べたが他の半導体材料に適用できるのは当然であり、
又、単結晶、多結晶、アモルファスと結晶形態にもよらない。いずれにおいても
適用できる。

【0039】

【発明の効果】

本発明によれば、

1. 界面散乱、分散散乱、クーロン散乱の低減により、移動度が上昇するため、
変換コンダクタンス g_m が大となる。応答速度大となり；
2. ドレイン側の電界緩和もおこり、ホットキャリアの生成減少し、SOI特有
のキンフ効果、ドレイン耐圧の低下の改善ができ；
3. チャネル層を厚くしても、移動度が大きくなるため、量産的にも利点大である
。

【図面の簡単な説明】

【図1】

本発明の半導体装置の断面図。

【図2】

図1のA-A'部における電位図。

【図3】

Siに対して温度(°K)とフェルミレベルの変化を示す図。

【図4】

図1のA→A'方向断面の不純物分布の模式図。

【図5】

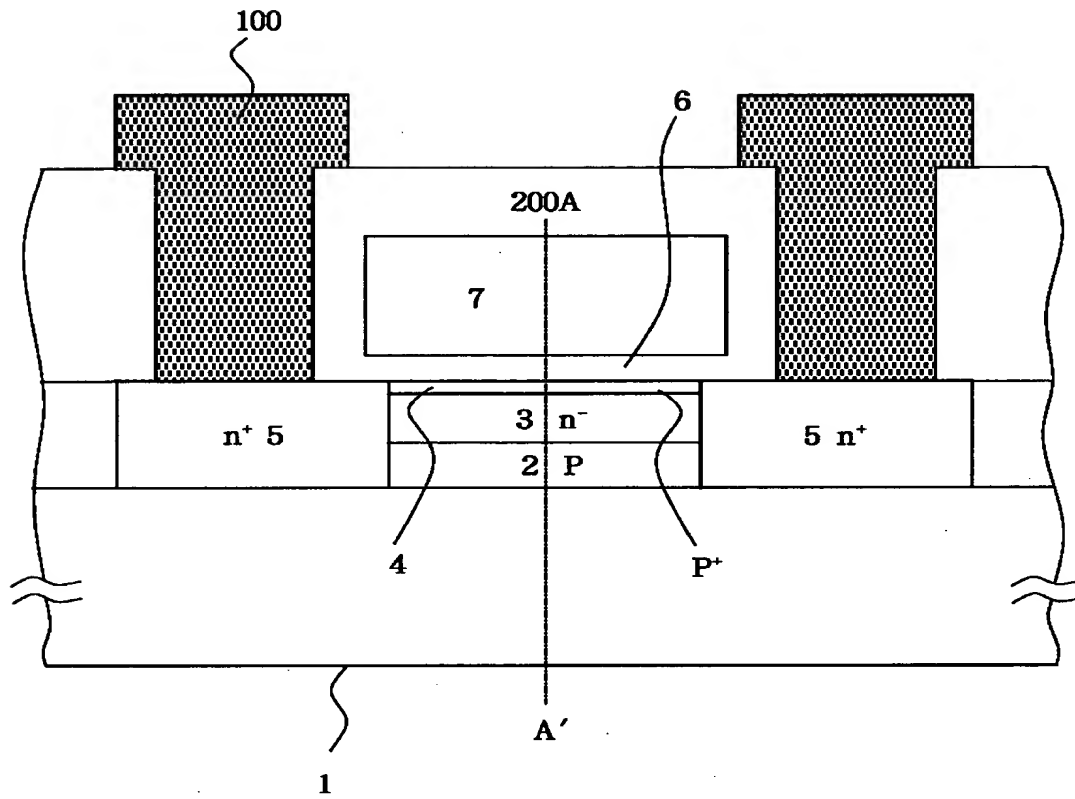
本発明の他の半導体装置の断面図。

【図6】

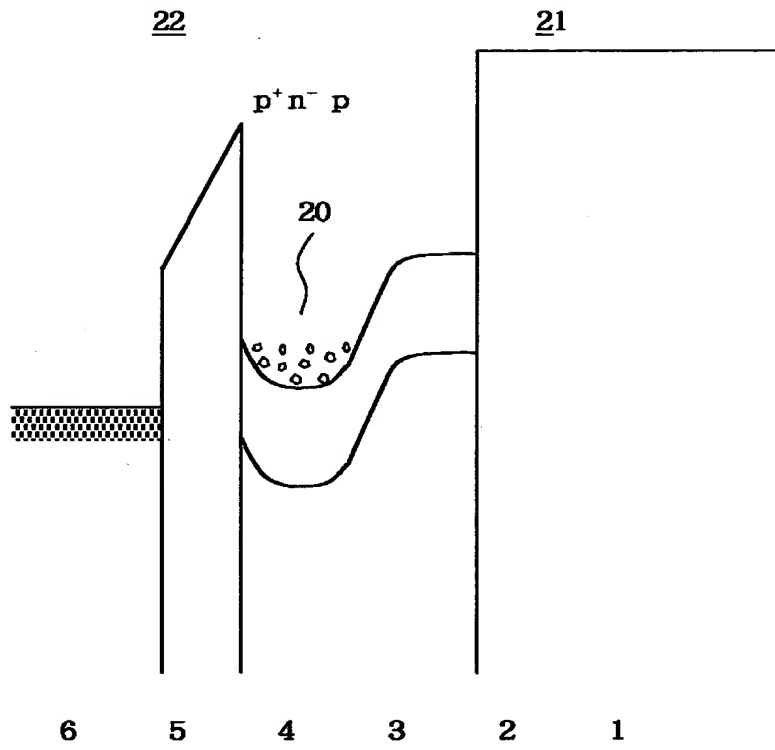
本発明の他の半導体装置の断面図。

【書類名】 図面

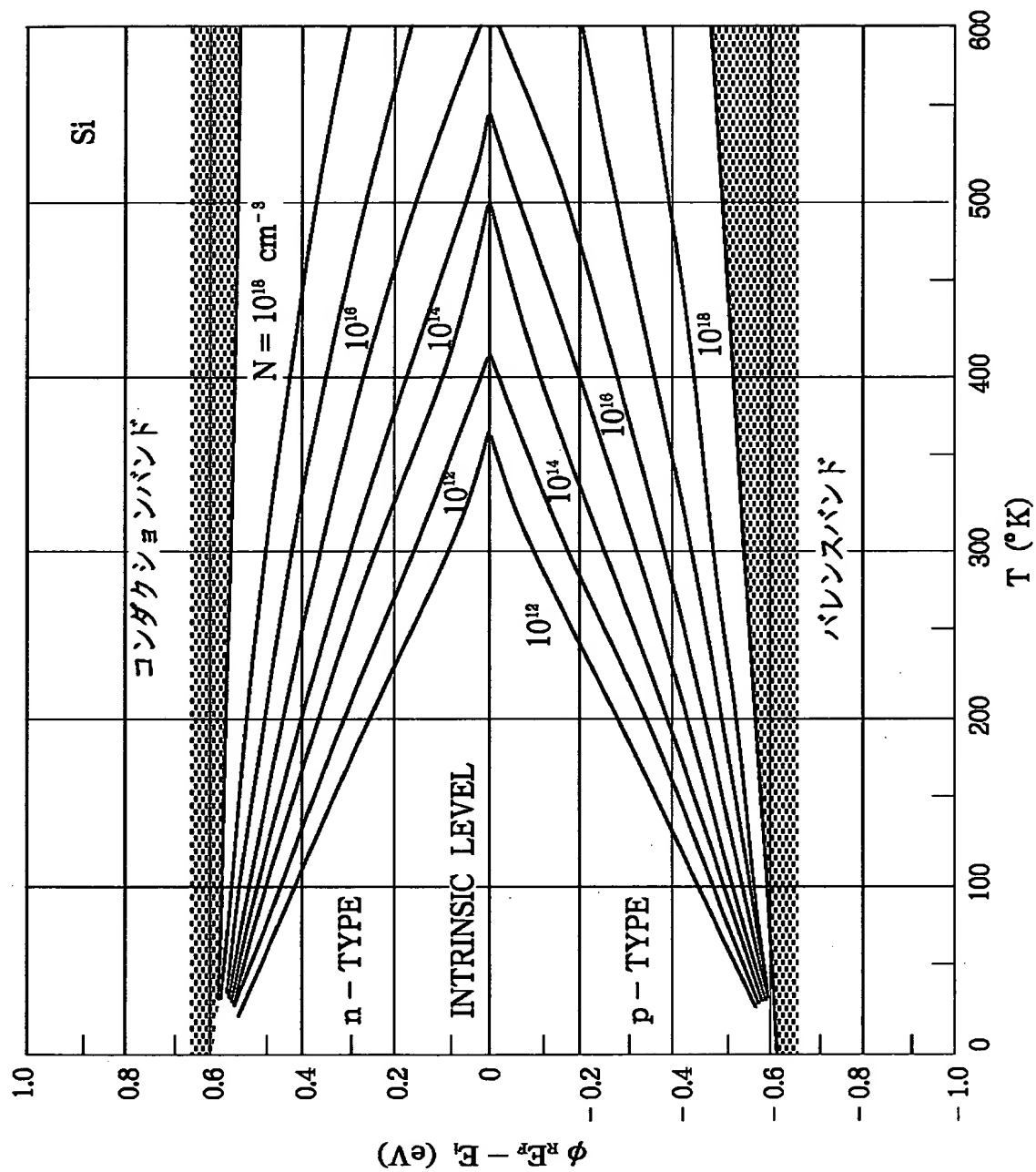
【図1】



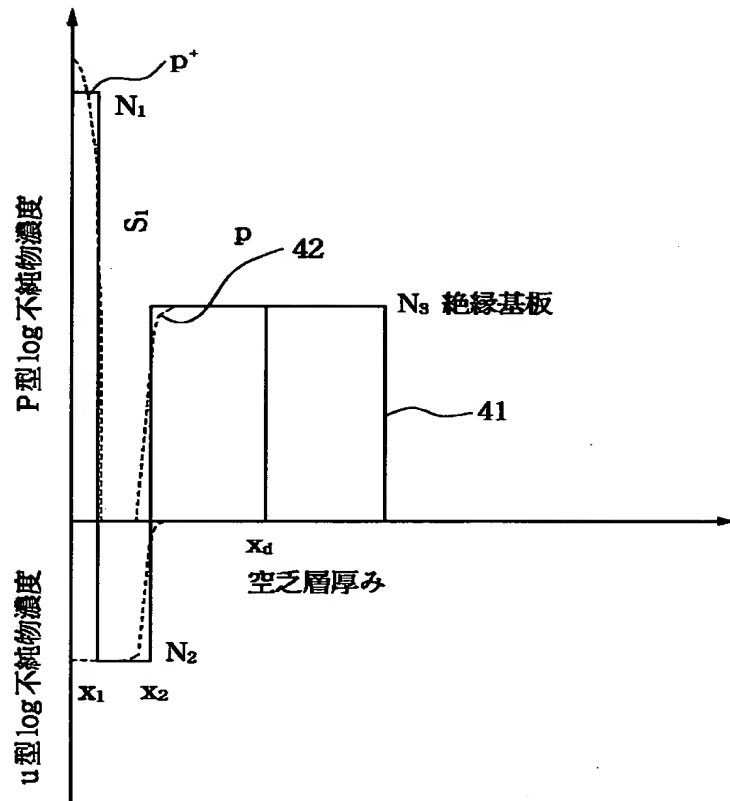
【图2】



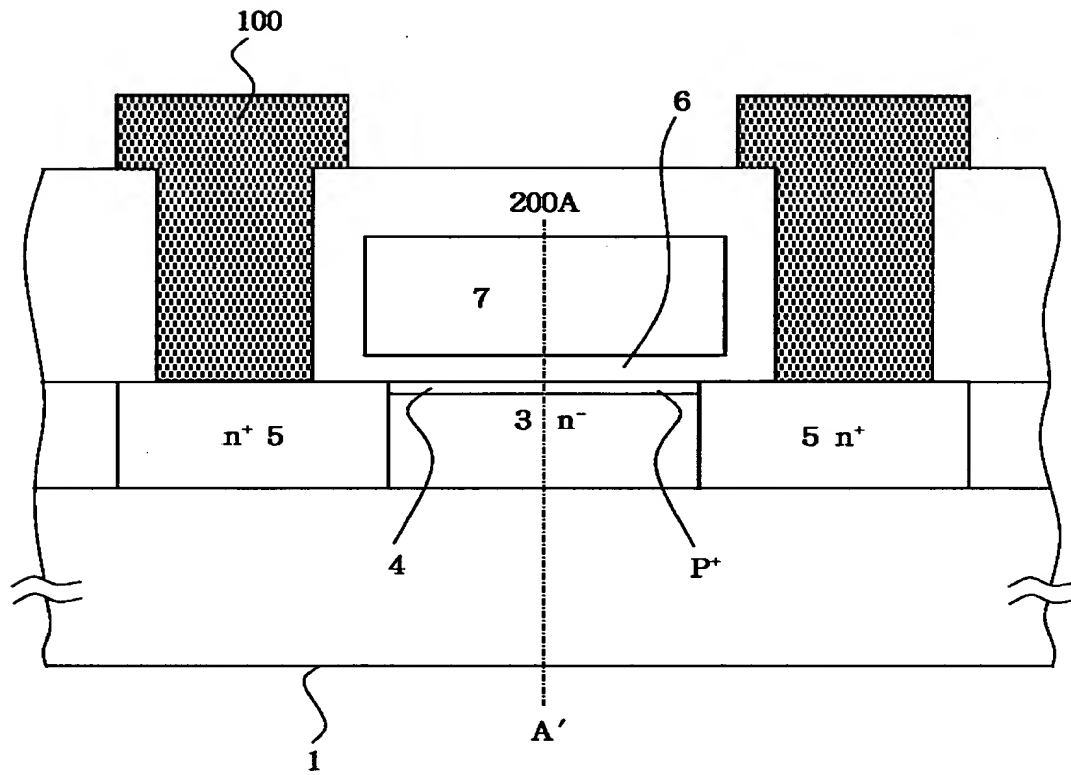
【図 3】



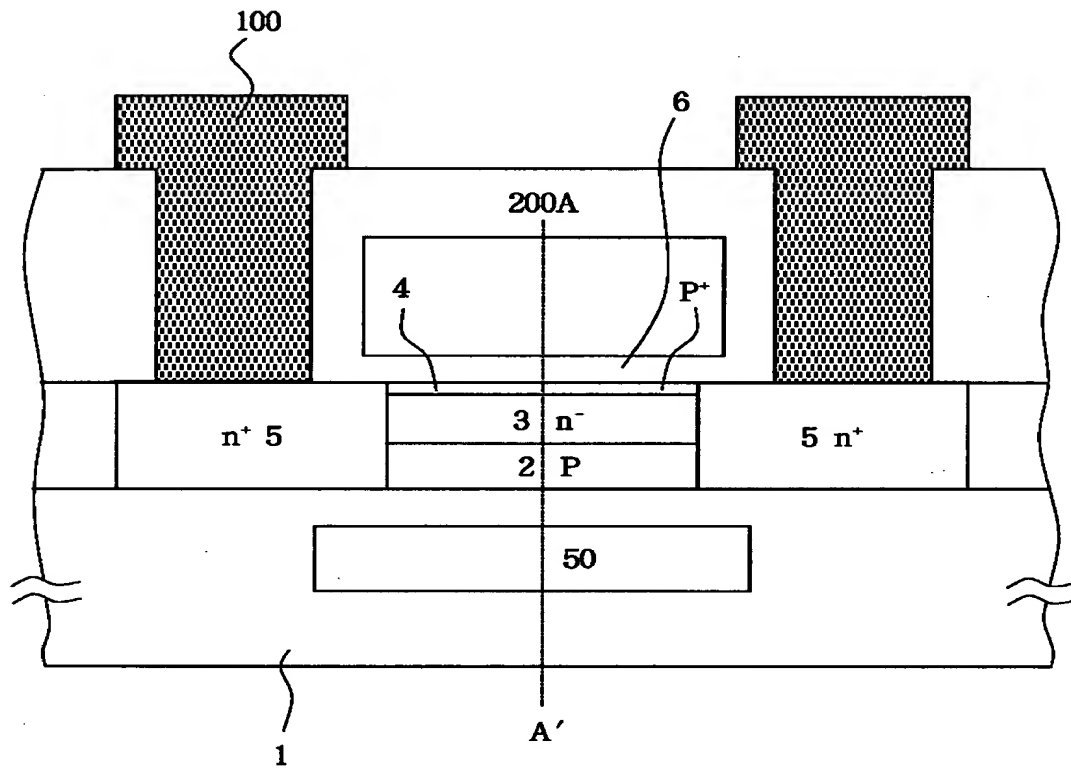
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【目的】 良好特性の半導体装置を提供すること。

【構成】 少なくとも、絶縁膜上に形成された第1の導電型で高不純物密度のソースとドレイン領域、ソースとドレインの間にあるチャネル領域、該チャネル領域を少なくともおおっている絶縁層、該絶縁層に近接しているゲート電極を有する半導体装置において、少なくとも、該チャネル領域が絶縁層に近接した第1導電型と反対導電型の低抵抗の第2導電型の第1チャネル領域と該チャネル領域に隣接した高抵抗の第1導電型の第2チャネル領域を有する半導体装置。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代理人】 申請人

【識別番号】 100069877

【住所又は居所】 東京都大田区下丸子3-30-2 キヤノン株式会
社内

【氏名又は名称】 丸島 儀一

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社